

(11)Publication number : 64-041522

(43)Date of publication of application : 13.02.1989

(51)Int.Cl.

H03L 7/10

H04B 1/26

(21)Application number : 62-198460

(71)Applicant : SHARP CORP

(22)Date of filing : 07.08.1987

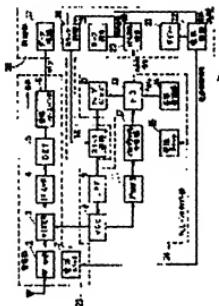
(72)Inventor : SUMIKAWA KEIICHIRO

(54) PHASE LOCKED LOOP CIRCUIT

(57)Abstract:

PURPOSE: To reduce the lock time at intermittent operation by providing a switching means and a voltage storage means storing an input voltage to a voltage controlled oscillator circuit just before the open circuit between a phase comparator and an LPF.

CONSTITUTION: The switching circuit 16 interposed between the phase comparator (PD) 13 and the LPF 9, a charge pump 10 storing an input voltage to the voltage controlled oscillator circuit (VCO) 8 just before the open circuit and a switch control means 18 opening a loop by the switch 16 in the presence of the open circuit command, giving the said storage voltage to the VCO 8 when the open command exists and closing the loop by the switch 16 when the phase difference detected by the PD 13 reaches a prescribed value or below, are provided. When the power of the PLL circuit is switched from OFF to ON in the intermittent operation, the preceding frequency is taken over. Moreover, the loop is closed with a large phase difference and the frequency is not largely deviated. The lock time at the intermittent operation is shortened by the operation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

④ 公開特許公報 (A) 昭64-41522

④ Int. Cl. *
H 03 L 7/10
H 04 B 1/26識別記号
D-8731-5J
U-7251-5K④ 公開 昭和64年(1989)2月13日
審査請求 未請求 発明の数 1 (全 6 頁)

④ 免明の名称 フューズ・ロックド・ループ回路

④ 特願 昭62-193460
④ 出願 昭62(1987)8月7日④ 免明者 渡川 恵一郎 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

④ 出願人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

④ 代理人 弁理士 本庄 武男

明細書

1. 本発明の名称

フューズ・ロックド・ループ回路

2. 本発明の図面

1. 伝送比較回路と、ローパスフィルタと、電荷搬送装置とがループを構成してなるフューズ・ロックド・ループ回路において、
伝送比較回路とローパスフィルタの間にまた
はローパスフィルタと電荷搬送装置の間に分
離されてループをオープンする手段と、オー
ブン手段の電圧制御用電圧端への入力電圧を
記憶する電圧記憶手段と、オープン手段があ
ると前記スイッチ手段でループをオープンす
ると共にクローズ手段があると前記記憶手段
を補配電圧の初期値に初期化し前記電圧記
憶手段では初期を検出し復帰が所定値以下
となったときに前記スイッチ手段でループを
クローズするスマート削除手段とを具備した
ことを特徴とするフューズ・ロックド・ルー
プ回路。

3. 本発明の特徴

〔産業上の利害分析〕

本発明は、フューズ・ロックド・ループ回路に
関し、更に詳しくは、開発動作をも明確に用意
能引き込み機能を駆使できるようしたフューズ
・ロックド・ループ回路に関する。

〔授与の技術〕

コードレス電話やペーパー等の携帯用無線機に
おいては、電池の消耗を防ぐために、受信すべき
電波の電位があるまでは開発動作を行なっている。

即ち、受信機全体に電力を供給して電波を受
信できる状態で待機する待機受け動作と、必要量
の電波の部分以外は電力の供給をカットして電波を
受信できないが電力消費を抑制する休止動作とを
交互に繰り返すを行なっている。

フューズ・ロックド・ループ回路(以下、PL
S回路という)は、携帯用無線機のチューナ部の
シンセサイザーとして広く使用されており、上記
開発動作には、PLS回路も最大動作させられ
ている。

【発明が解決しようとする問題点】

チューナ部にP.L.L回路を用いた場合、アレシ回路の電波被誘引込み過程(ブルインレンジ)を経てロックされるまでの時間(ロックタイム)は正しい受信状態に入れない。従って、ロックタイムは短い方が好ましい。

ところが、P.L.L回路を間欠動作させると、その極端電界Pから立ち上がりため、前記ロックタイムが長くなってしまう問題点がある。

従って、本発明の目的とするところは、間欠動作時にかかるロックタイムを縮短するとしている。

【問題点を解決するための手段】

本発明のP.L.L回路は、位相比較器と、ローパスフィルタと、電圧制御器と同様とがループを構成して構成するフェーズ・ロック・ループ回路において、位相比較器とローパスフィルタの間またはローパスフィルタと電圧制御器の間に介在されてループをオーブンする手段と、オープン直前の電圧制御器回路への入力電圧を記憶する電

圧記憶手段と、マークス信号があると記憶スイッチ平段でループをマークスすると其のクローズ信号があると記憶記憶電圧を前記電圧制御器に送り、記憶回路に入力し前記位相比較器路で位相を検出し記憶電圧が所定値以下となったときに記憶スイッチ手段でループをクローズするスイッチ制御手段とを組合したことを特徴とするものである。

【作用】

本発明のやさしい回路では、電圧記憶手段によって電圧制御器回路への入力電圧を記憶しておくことが出来るので、間欠動作時ににおいて、P.L.L回路の電界がオフからオンに切り替わった時、以前の電界値からスタートできる。従って、初期の回路値はすぐ立ちなく出来る。

また、スイッチ制御手段によって、記憶電圧が所定値以下となるとループをクローズされることが出来るので、位相を大きくままループをクローズにして、周波数を大きく外してしまうことが防止される。

そこで、これらの作用より、間欠動作時にかけ

3

4

るロックタイムを縮短することが出来る。

そして、チューナ部回路で間欠動作させる時の待ち受け状態をロックタイムの最短に従って短めすることが出来るようになるから、消費電力も一層低減できようになる。

【実施例】

以下、圖に示す実施例に基づいて本発明を更に詳しく説明する。ここに第1圖は本発明の一実施例のP.L.L回路を含むチューナ部受信部のブロック圖、第2圖は本発明にかかるスイッチ手段と電圧記憶手段とに対応する回路部分の具体的な形態、第3圖は第1圖に示す回路の各部の構造詳細である。尚、圖に示す実施例により本発明が規定されるものではない。

第1圖に示すチューナ部回路1は、受信部2と、P.L.Lシングセイザーパークと、射頻部3との3つの部分からなっている。

受信部2は、通常全周の構成と同様であり、間欠動作のための電源スイッチ回路7が設けられ

ている。

P.L.Lシングセイザーパーク2は、電圧制御器回路6と、ローパスフィルタ9と、チャージポンプ10と、ブリッケーラム11と、プロトライマブル分周器12と、位相比較器13と、基準振盪器14とを有し、また、間欠動作のための電源スイッチ回路15を有している。

ここで注意すべきことは、ローパスフィルタ9とチャージポンプ10との間に、スイッチ回路16が介在されていることである。

位相比較器13は、チャージポンプ10への出力の後に、位相をあるときにパルスが出現するアンロック信号を出力している。

第2圖は、ローパスフィルタ9、スイッチ回路16、チャージポンプ10を具体的に示したものである。

第3圖は、前記スイッチ回路16を制御するためのスイッチ制御回路18と、間欠動作を切するためのタイマー回路21および電源制御回路22と、前記位相比較器13からのアンロ

5

-128-

6

ク信号に応じて復帰信号等を送出するバルス幅出射回路20とを具備している。復帰信号等は、前記スイッチ回路回路18に入力されている。

第3回は、スイッチ回路回路18、バルス幅出射回路20を具体例に示したものである。

次に、第1回～第3回及び第4回に示す信号波形を参考し、簡略動作の作動を説明する。

まず、待ち受け動作の状態では、受信部23、ドレッシングセティマー部24、前記部25の全てに電力が供給され、電池充電端子をモード切替している。ここで勝利用受信部1は、送信用の複数の送信チャンネルと、通信用の制御チャンネルとを有しているが、待ち受け動作では、制御チャンネルの電池を待っている。

待ち受け動作を新規時間周波数とし、タイマー回路21及び電池制御回路22から出力される電源オン信号が「1」になると、すると、第3回に示すようにスイッチ回路16がオフされ、第4回に示すようにローパスフィルタ9のコンデンサCは直列の電圧を保持した状態となる。

電波制御部23は、スイッチ回路16をオフにした後、電源スイッチ回路7及び15を作動し、受信部23とドレッシングセティマー部24の電源を遮断する。また、同部23のデータ復帰回路17、ロック復帰回路15、バルス幅出射回路20の電源を遮断する。かくして、電波の受信は出来ないが、消費電力を削減した待機動作に移行する。

待機動作を所定時間維持すると、タイマー回路21及び電池制御回路22は、電源オン信号が「0」にし、受信部23及びドレッシングセティマー部24の電源をオンとする。また、同部23のデータ復帰回路17、ロック復帰回路15、バルス幅出射回路20の電源をオンにする。

しかし、スイッチ回路16は、電源オン信号が「1」となると、バルス幅出射回路20からの初期電波は多が入力されないかぎり、ループモードにはしない。

そこで、電圧電位检测用端子の初期の電波は、ローパスフィルタ9に接続されていた電圧に対応

する周波数となり、それは先の待ち受け動作における周波数とはほぼ同じ周波数である。従って、立ち上がりに要する時間が短縮される。

ところで、復帰比較回路18に入力される電圧制御回路回路9側からの信号と基準発振器14からの信号の位相差が大きいと、両信号の周波数が合致していくと、ループがクローズされた時に周波数が大きく外れてしまう危険がある。

しかし、スイッチ回路16は、復帰信号等を待ってから閉じられるため、かかる周波数はいずれは防止される。即ち、第3回に示す「1」で初期によって、電源立ち上がり時にはスイッチ回路16を開じないようにする。そして、位相差が大きい時に出力されるアンロック信号が入力されている時は、スイッチ回路16を開じないようにする。そして、複数が完全に立ち上がり、且つ、位相差がなくなってアンロック信号が入力されない時にスイッチ回路16が閉じられる。

そこで結局、周波数がほぼ合致し、且つ、位相差のない状態でループがクローズされるもので、周

波数外れを生じず、送信側でドレッシング回路をオフする。

かくして、ドレッシングのロックタイムを短縮できるため、待ち受け動作の時間も短縮できるようになる。そこで、送信する電波の番号があるまでの時間に新規用受信部1が消費する電力を削減できることとなる。

〔発送の発送〕

本発明によれば、復帰比較回路と、ローパスフィルタ9と、電圧制御回路18とがループを形成して成るフェーズ・ロッカ、ループ回路において、復帰比較回路とローパスフィルタ9の間またはローパスフィルタ9と電圧制御回路の間に介絶されてループをオーブンする手段と、オーブン直前の電圧制御回路への入力を圧を遮断する電源遮断手段と、オーブン信号があると前記スイッチ手段でループをオーブンすると共にクローズ信号があると前記電圧制御回路に入力を遮断する手段で、前記電圧制御回路で放電回路を復元し放電回路が電源端子下となつたときに前記スイッチ手段でループ

セクローズするスイッチ制御手段とを具備したことを特徴とするフェーズ・ロックド・ループ回路が述教され、これにより周波数引き込みに要する時間すなわちロックタイムを短縮できるようになる。

そこで、かかるフェーズ・ロックド・ループ回路を用いた振盪用振盪源において、開き動作をする時の待ち受け動作の時間を見積りできることとなり、信所實電力化を促進できる。

4. 図1図2の動作の動作

第1図は本発明の一実施例のPLL回路を含む振盪用受信機のブロック図、第2図は本実施例におけるスイッチ手段と電圧記憶手段に対応する選擇部分の具体実現示図、第3図は本実施例におけるスイッチ制御手段に対応する選擇部分の具体実現示図、第4図は第3図に示す四箇所の各部の拡大図である。

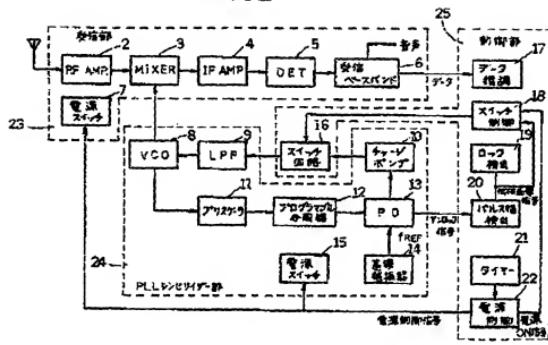
【参考の説明】

1...振盪用受信源

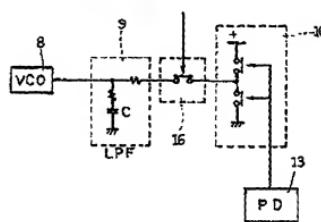
- 2...電圧制御振盪回路
- 3...ローパスフィルタ
- 4...チャージポンプ
- 5...位相比較回路
- 6...スイッチ回路
- 7...スイッチ制御回路
- 8...パルス発生回路
- 9...タイマー回路
- 10...電源制御回路
- 11...電源スイッチ回路。

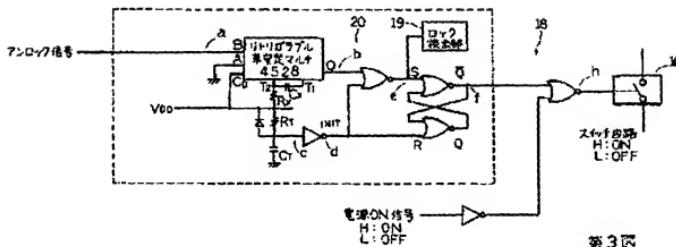
出願人 シャープ株式会社
代理人 先田士 本庄 喜男

第1図

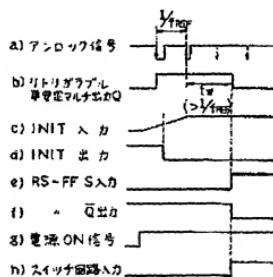


第2図





第3回



第4回